

INFORME PROYECTOS— 2025

DESARROLLO DE PLACAS ELECTRÓNICAS INTELIGENTES PARA
DISPOSITIVOS IOT Y SISTEMAS EMBEBIDOS
“SMARTPCB”

Informe: Final de Resultados

Número de proyecto: 22500004

Expediente: IMAMCA/2025/2

Duración: Del 01/01/2025 al 31/12/2025

Coordinado en AIDIMME por: Sergio López Cataluña



GENERALITAT
VALENCIANA

IVACE+i

INSTITUTO VALENCIANO
DE COMPETITIVIDAD
E INNOVACIÓN

AIDIMME
Instituto Tecnológico

<u>1. INTRODUCCIÓN, OBJETIVOS DEL PROYECTO</u>	<u>1</u>
<u>2. RESULTADOS OBTENIDOS.....</u>	<u>2</u>
<u>3. ACTIVIDADES REALIZADAS, DESARROLLO DEL PROYECTO.....</u>	<u>3</u>
3.1 FASE 0 – ARRANQUE, PLANIFICACIÓN Y REQUISITOS	3
3.2 FASE 1 – AUDITORÍA DFM/DFA Y DIAGNÓSTICO SMT	3
3.3 FASE 2 – REDISEÑO ELÉCTRICO Y LAYOUT OPTIMIZADO	3
3.4 FASE 3 – CIBERSEGURIDAD EMBEBIDA	3
3.5 FASE 4 – PROTOTIPADO, PILOTAJE SMT Y AJUSTES	3
3.6 FASE 5 – VALIDACIÓN, CIERRE Y TRANSFERENCIA.....	4
<u>4. PILOTOS.....</u>	<u>5</u>
<u>4.1 CASO DE ESTUDIO 1 – REDISEÑO PCB PHOTOSPINNER (FUNIMAT)</u>	<u>5</u>
4.1.1 PUNTO DE PARTIDA Y NECESIDADES DETECTADAS.....	5
4.1.2 REDISEÑO PROPUESTO	6
4.1.3 RESULTADOS DE PILOTAJE	7
<u>4.2 CASO DE ESTUDIO 2 – REDISEÑO GATEWAY DE NODOS: OPTIMIZACIÓN PRODUCTIVA + CIBERSEGURIDAD</u>	<u>8</u>
4.2.1 OBJETIVOS ESPECÍFICOS.....	8
4.2.2 REDISEÑO	10
4.2.3 PAQUETE DE CIBERSEGURIDAD IMPLEMENTADO	11
4.2.4 RESULTADOS DE PRUEBAS	11
<u>4.3 CASO DE ESTUDIO 3 – REDISEÑO PCB TELEGESTIÓN DE RIEGO (LORA MURATA + ATECC608C).....</u>	<u>11</u>
4.3.1 ARQUITECTURA OBJETIVO	12
4.3.2 PREPARACIÓN DE TEST EN LÍNEA: PUNTOS DE PRUEBA PARA ALIMENTACIÓN, I ² C, ENTRADAS Y CONTROL DE LATCH; Y OPCIÓN DE TEST RF VÍA U.FL (POTENCIA/SENSIBILIDAD).....	16
4.3.3 BASE PARA ACTUALIZACIÓN SEGURA (FIRMWARE FIRMADO) Y BLOQUEO DE INTERFACES DE DEPURACIÓN EN FABRICACIÓN (SEGÚN POLÍTICA DE PRODUCCIÓN).	16
4.3.4 EFICIENCIA ENERGÉTICA (RESULTADOS)	16
<u>5. RESUMEN Y CONCLUSIONES.....</u>	<u>17</u>

1. Introducción, objetivos del proyecto

La adopción de IoT en entornos industriales y de campo está impulsando la demanda de electrónica más compacta, robusta y eficiente. Sin embargo, en muchos productos la PCB evoluciona de forma incremental sin cerrar el círculo entre diseño y fabricación: aparecen cuellos de botella en SMT (panelización deficiente, excesiva variedad de componentes, tolerancias críticas), y se acumulan incidencias de calidad.

SMARTPCB se planteó como un proyecto de desarrollo y optimización de producto, coordinado por AIDIMME. El alcance final se centró en rediseños de PCBs reales, integrando además bloques de seguridad hardware (secure element) y prácticas de desarrollo seguro, con el objetivo de obtener resultados transferibles a producción.

Objetivos:

- Diseñar y fabricar prototipos de placas electrónicas optimizadas para aplicaciones IoT, incluyendo sensores, conectividad inalámbrica y procesamiento de datos, con integración de funcionalidades avanzadas, como autodiagnóstico, gestión de energía y módulos de seguridad embebidos.
- Validar la compatibilidad de las placas con sistemas industriales y comerciales, asegurando su versatilidad para diferentes sectores (industrial, sanitario, energético).
- Análisis del proceso de diseño para optimizar los procesos de fabricación en líneas SMD para maximizar la eficiencia, reduciendo el tiempo de ciclo y el costo por unidad.

2. Resultados obtenidos

- Se han diseñado y fabricado prototipos funcionales de placas electrónicas inteligentes para integración en dispositivos IoT. Principales acciones implementadas: panelización optimizada, estandarización de fiduciales y referencias, aumento de test points accesibles, reducción de cambios de boquilla y feeders, y simplificación de la BOM mediante consolidación de valores/encapsulados. Se incorporaron estrategias de bajo consumo: selección de reguladores con alta eficiencia a cargas ligeras, dominios con enable controlado por firmware
- Se han implementado procesos de fabricación optimizados para producción en serie en línea SMD.
- Validación técnica para aplicaciones piloto en sectores clave, en este caso se ha validado entorno de telegestión, comunicaciones y en producto de laboratorio. Se implementó identidad hardware y almacenamiento seguro de claves, además de mecanismos de arranque seguro y comunicaciones cifradas.

3. Actividades realizadas, desarrollo del proyecto

El proyecto se ha estructurado en fases iterativas para acortar el tiempo hasta impacto industrial. Se han implementado tres demostradores. Cada demostrador recorrió un ciclo de:

- análisis del diseño original
- rediseño orientado a SMT y suministro
- prototipado
- validación

3.1 Fase 0 – Arranque, planificación y requisitos

- Definición de requerimientos funcionales y de
- Identificación de riesgos: obsolescencia de componentes, limitaciones de pick&place, necesidad de conformal coating, condiciones ambientales y cumplimiento normativo.

3.2 Fase 1 – Auditoría DFM/DFA y diagnóstico SMT

- Revisión de footprints y reglas de diseño (clearances, keepouts, solder mask, paste apertures).
- Análisis de panelización, fiduciales, tooling holes, test points, y compatibilidad con AOI.
- Revisión de BOM: consolidación de valores, reducción de variantes, alternativas multisource.

3.3 Fase 2 – Rediseño eléctrico y layout optimizado

- Reubicación de componentes para mejorar flujo de ensamblaje, reducir cambios de boquilla y minimizar rotaciones complejas.
- Reducción de encapsulados, migración a packages de alto rendimiento SMT (0603/0402 cuando aplica, QFN/QFP optimizados, módulos certificados).
- Introducción de dominios de potencia y gestión energética: buck síncronos, modos low-power, gating de periféricos y medición de consumo.

3.4 Fase 3 – Ciberseguridad embebida

- Integración de secure element (p. ej., Microchip ATECC608C) para identidad criptográfica, almacenamiento seguro de claves y autenticación.
- Definición de cadena de confianza: secure boot, firma de firmware, OTA segura y rotación de credenciales.

3.5 Fase 4 – Prototipado, pilotaje SMT y ajustes

- Fabricación de prototipos y pequeñas series piloto con ajustes de stencil, perfiles térmicos y parámetros de colocación.
- Optimización de pick&place (orden de inserción, alturas, velocidades) y verificación AOI.

3.6 Fase 5 – Validación, cierre y transferencia

- Plan de ensayos.
- Documentación de industrialización

4. Pilotos

4.1 Caso de estudio 1 – Rediseño PCB PhotoSpinner (FUNiMAT)

PhotoSpinner es un dispositivo de laboratorio orientado al cribado de reacciones fotoquímicas en paralelo (HTS), con geometría axial y un carrusel rotatorio que permite irradiación lateral homogénea y control de temperatura mediante ventilación interna. El sistema facilita ensayos reproducibles y seguros, y se apoya en componentes comerciales como placas de agitación magnética. Este demostrador se seleccionó por su combinación de electrónica de control (motor, iluminación, ventilación) y necesidad de robustez, trazabilidad y posible marcado CE.

En el marco de SMARTPCB, el rediseño se centró en la electrónica de control y potencia del PhotoSpinner, priorizando: fabricabilidad SMT, gestión térmica, fiabilidad en campo y reducción del coste por unidad para pequeñas series.

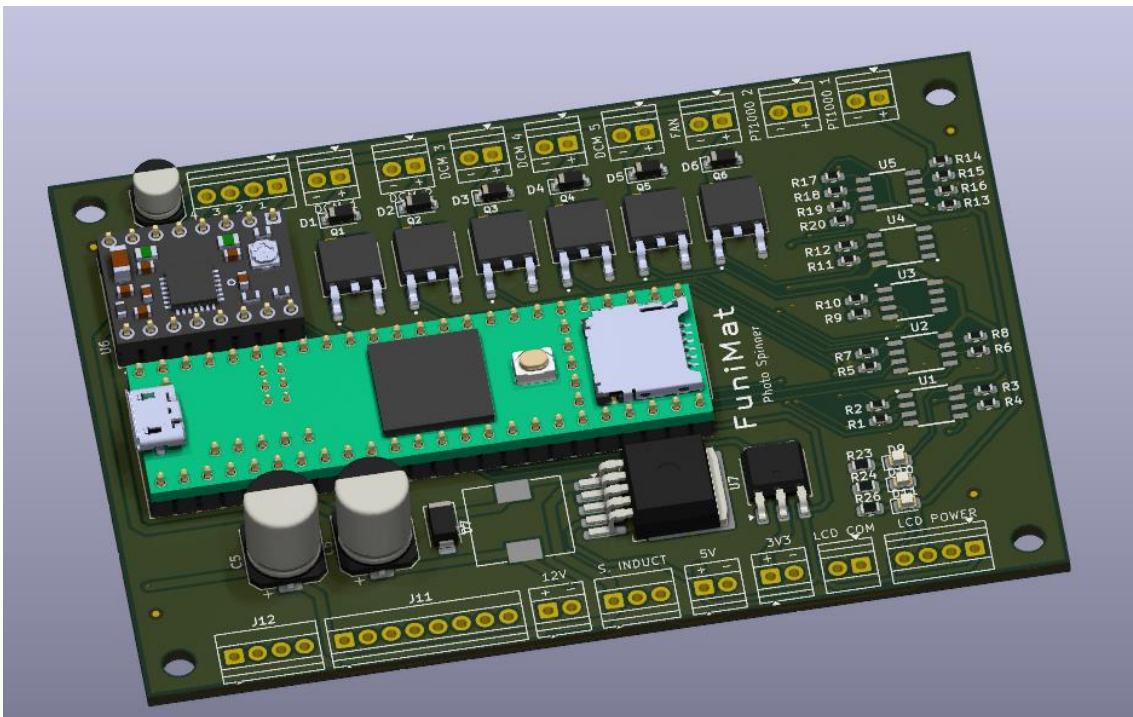


Figure 1 PCB Photospinner

4.1.1 Punto de partida y necesidades detectadas

- Electrónica basada en prototipo con cableados y módulos discretos que aumentaban tiempos de montaje y variabilidad.
- Gestión térmica mejorable: disipación no homogénea, sensibilidad a temperaturas internas elevadas y dependencia de ajustes manuales.
- Carencias de ‘testabilidad’: pocos puntos de test y calibración, dificultando validación rápida en producción.

4.1.2 Rediseño propuesto

El rediseño integró en una PCB principal: controlador de motor para carrusel, drivers de iluminación (según configuración de lámpara/LED), control de ventilador, sensado de temperatura, interfaz de usuario y comunicaciones de servicio.

Mejoras clave:

- Conversión a montaje mayoritariamente SMD con eliminación de cableado interno salvo conectores críticos.
- Footprints robustos con vías-in-pad evitadas cuando no aportaban valor, y pad-stacks optimizados para AOI.
- Conectores polarizados y agrupación por zonas para reducir errores de ensamblaje y simplificar cableado final.
- Incorporación de fiduciales globales y locales, tooling holes y test points accesibles para ICT/programación.
- Preparación para trazabilidad: ID de placa y versión de firmware, orientado a documentación técnica y posibles requisitos de conformidad.

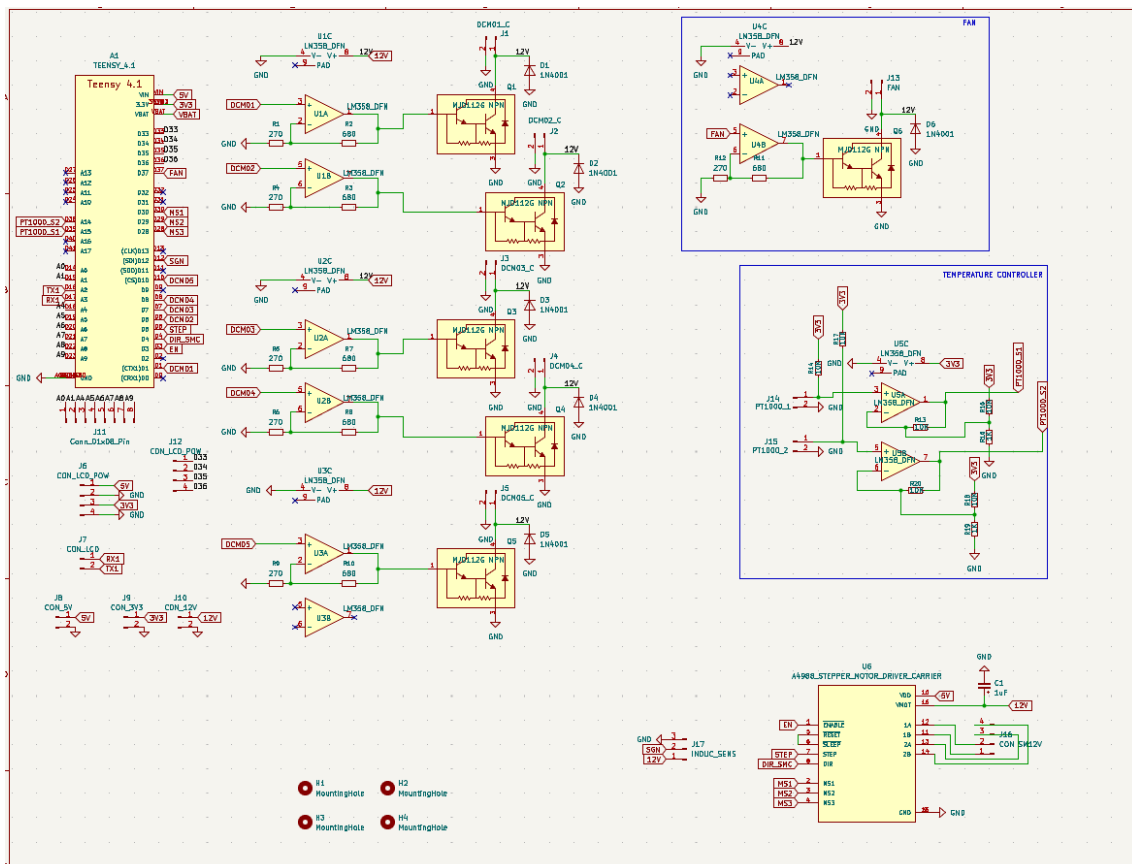


Figure 2 Diseño Photospinner

4.1.3 Resultados de pilotaje

En el pilotaje se observaron mejoras en repetibilidad y reducción de tiempo de montaje gracias a la integración. El ensamblaje SMT se estabilizó mediante ajuste de stencil en componentes de potencia y revisión del perfil térmico para evitar defectos de mojado.

Resultados (estimados en piloto): reducción del tiempo de ensamblaje final 30–40% (por menor cableado), reducción de incidencias por conexión 50% (conectores polarizados), y aumento de cobertura de test en línea (puntos de test + programación).

4.2 Caso de estudio 2 – Rediseño Gateway de nodos: optimización productiva + ciberseguridad

El gateway de nodos actúa como concentrador entre sensores/actuadores distribuidos. En entornos industriales, el gateway suele concentrar el mayor riesgo: expone interfaces de red, gestiona credenciales y se actualiza en remoto. Por ello, el demostrador se planteó como una plataforma robusta, fácil de fabricar y con una arquitectura de seguridad por defecto.

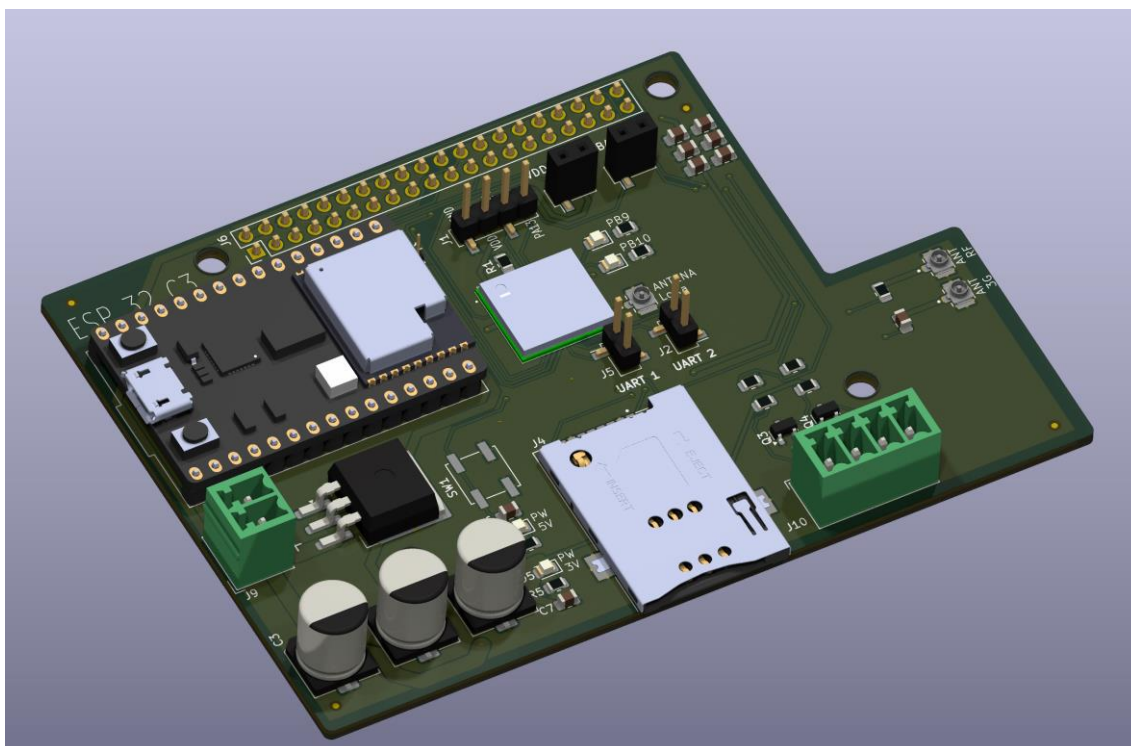


Figure 3 3D Gateway

4.2.1 Objetivos específicos

- Reducir complejidad de montaje: menos variantes, módulos certificados, menor número de conectores.

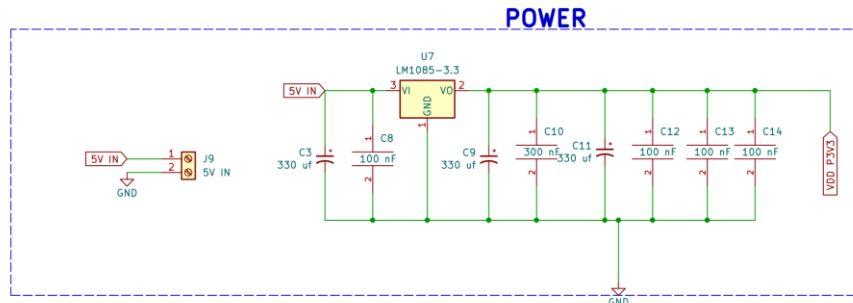


Figure 6 Filtrado de alimentación

- Integrar ciberseguridad: identidad hardware, secure boot, comunicaciones cifradas y actualización OTA firmada.

4.2.2 Rediseño

Acciones de industrialización implementadas:

- Migración a módulos de comunicación certificados (p. ej., Wi-Fi/BLE/4G según variante) para reducir riesgo de RF y test.

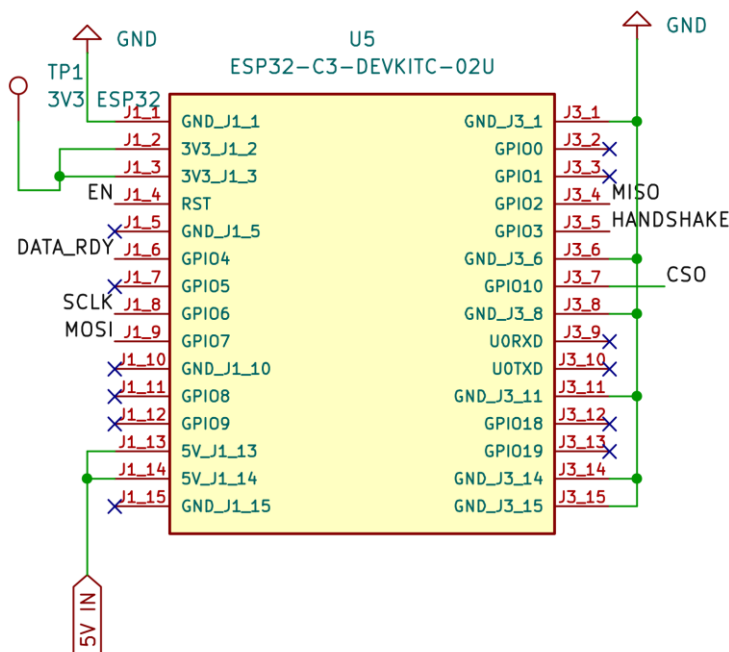


Figure 7 ESP 32

- BOM racionalizada: resistencias/capacitores a series E24 comunes y encapsulados unificados (0603/0402), reducción de referencias únicas.
- Panelización orientada a throughput: orientación homogénea, zonas de break-off con mouse-bites, y distribución para minimizar deformaciones.

alcance. El rediseño se centró en tres ejes:

1. optimización DFM/SMT para fabricación repetible
2. eficiencia energética extrema para maximizar autonomía con baterías
3. refuerzo de ciberseguridad mediante identidad criptográfica y autenticación.

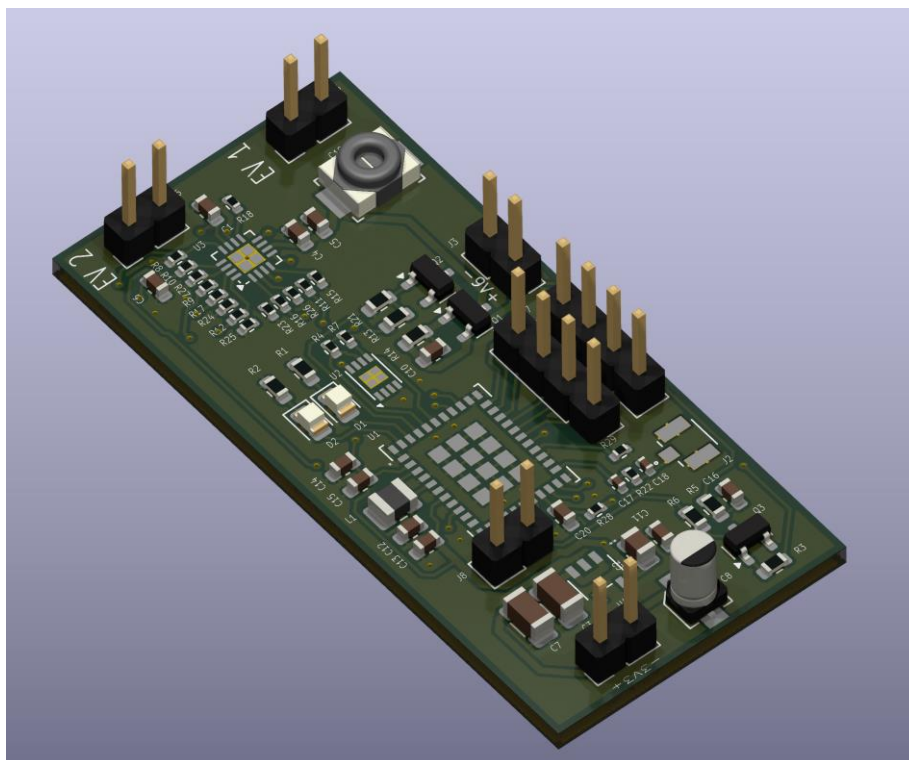


Figure 9 3D de la PCB

4.3.1 Arquitectura objetivo

Bloques funcionales principales (según requisitos del sistema):

- Módulo LoRa Murata Type 1SJ (SoC + RF integrado) como núcleo de control y comunicaciones, con firmware orientado a ultra bajo consumo y RTC/wake-up por eventos.

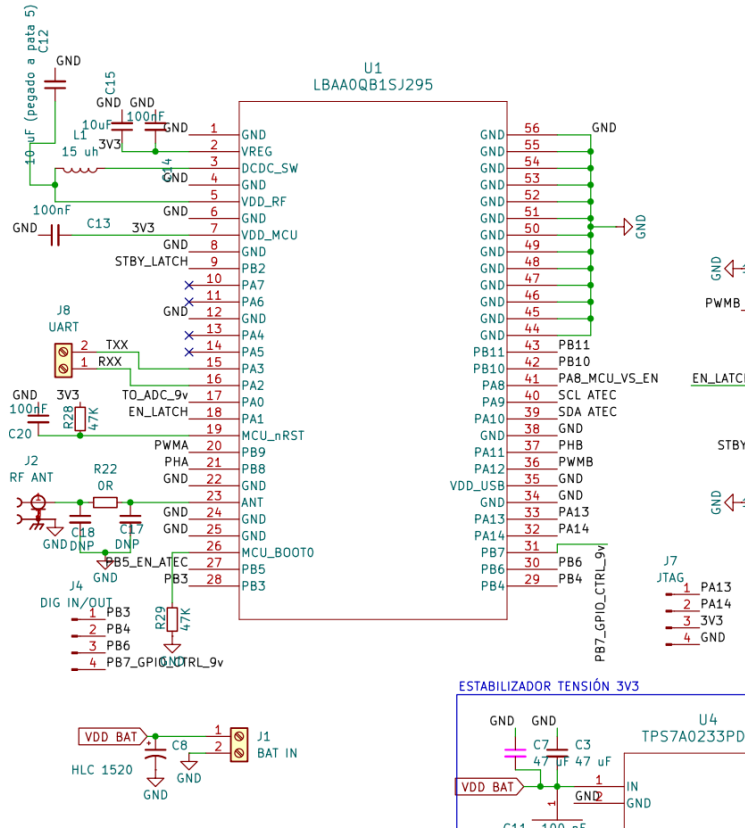


Figure 10 Modulo LoRa

- Secure element: Microchip ATECC608C

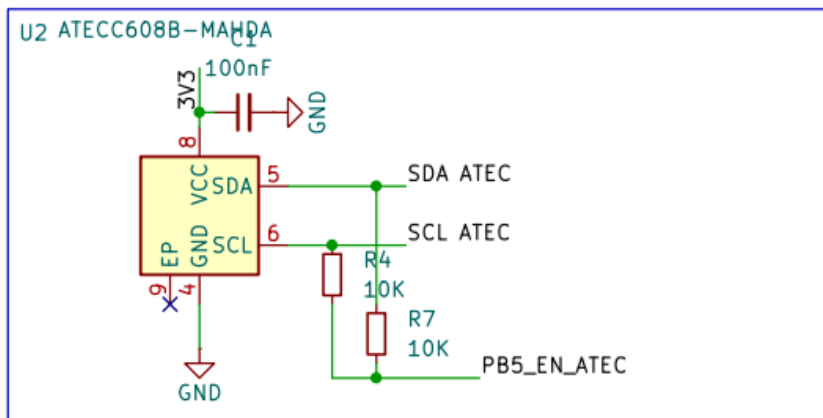


Figure 11 Atec

- Doble dominio de energía: batería 9 Vdc dedicada a electroválvula (EV) y batería 3,3 Vdc dedicada al nodo (lógica y radio), con protecciones y monitorización independiente.

ESTABILIZADOR TENSIÓN 3V3

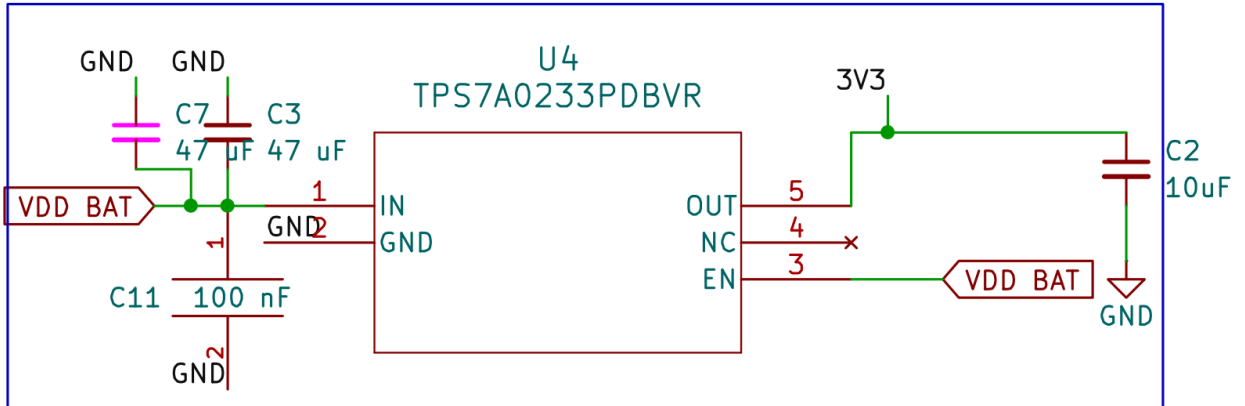


Figure 12 Estabilizador de tensión

- Actuación de EV por latch (biestable): un pulso activa y otro pulso desactiva, evitando consumo sostenido en bobina y reduciendo el presupuesto energético del sistema.

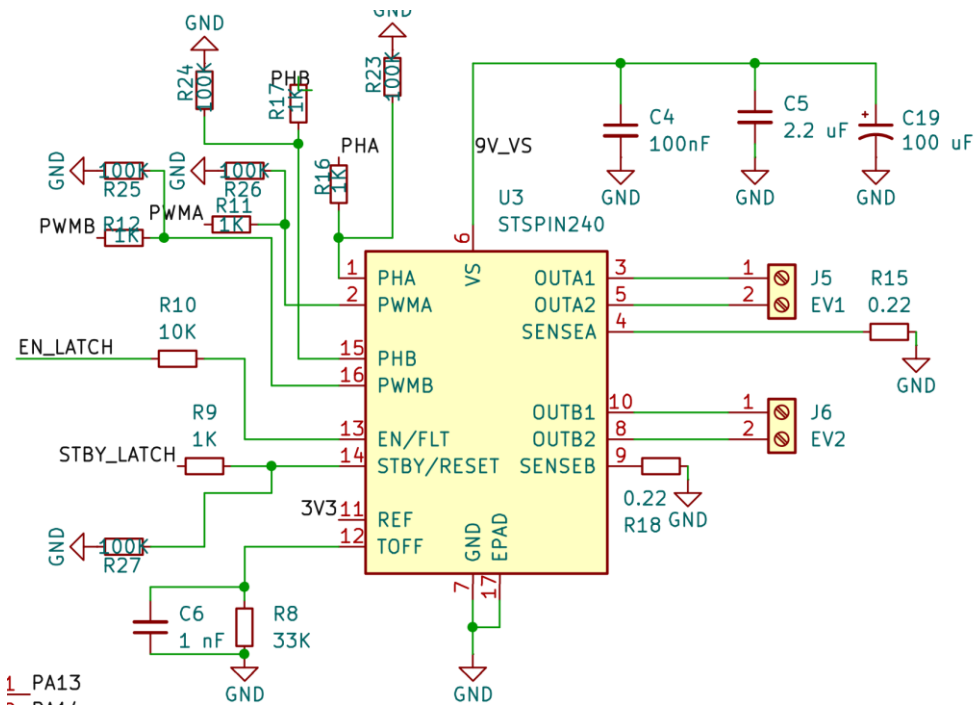


Figure 13 Latch

- Desacoplo de batería para medir nivel de carga sin consumo adicional.

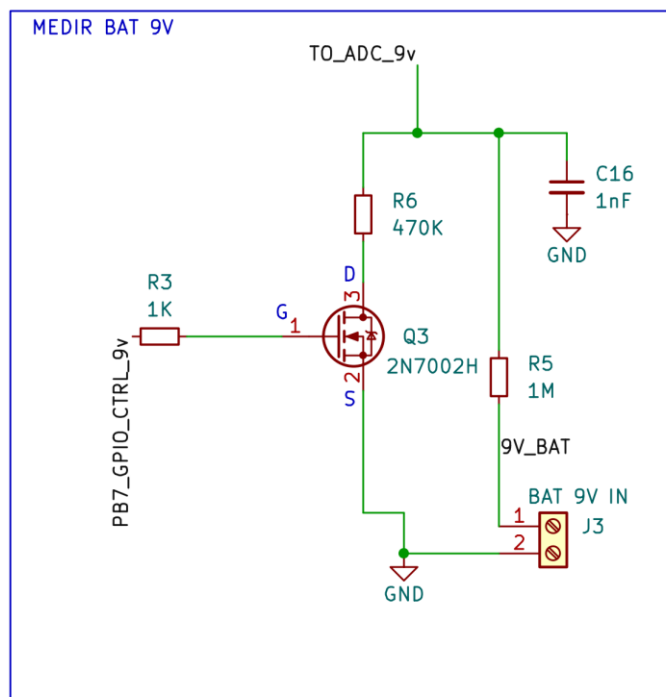


Figure 14 Nivel de cadrga

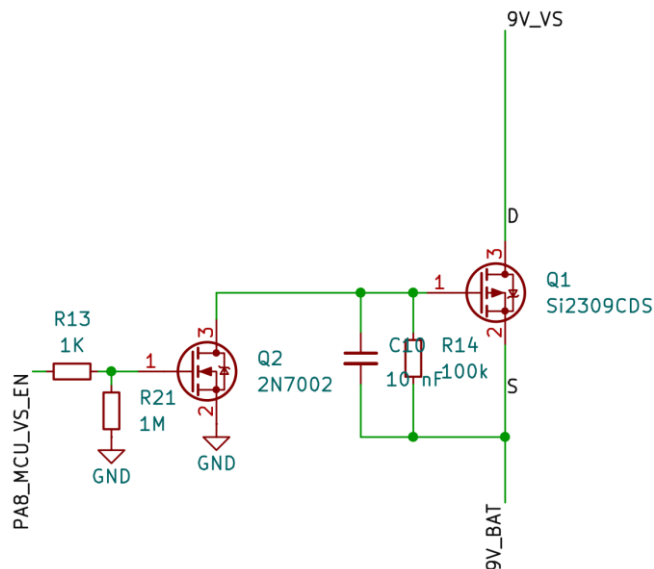


Figure 15 Alimentación EV

- Sustitución de radio discreta por módulo Murata para reducir variabilidad RF, simplificar el layout, acelerar el test y minimizar retrabajos asociados a matching/antena.
- Estandarización de pasivos (0402/0603) y consolidación de la BOM para reducir feeders, tiempo de setup y riesgo de obsolescencia.

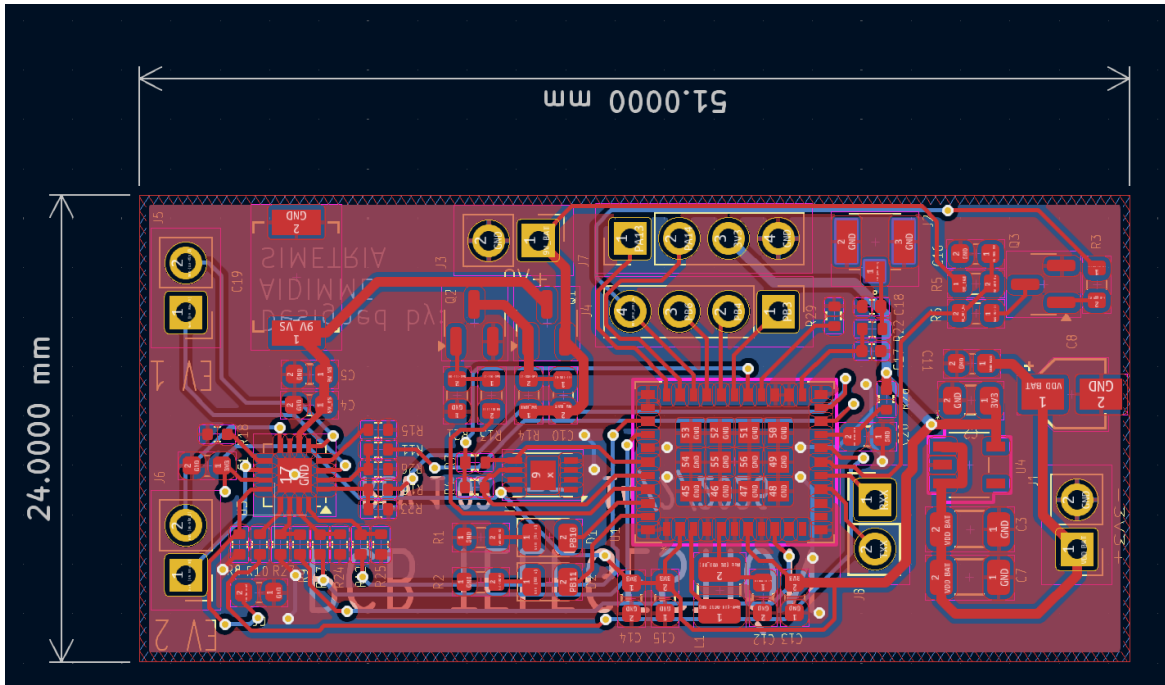


Figure 16 PCB

- Diseño para panelización: fiduciales globales/locales, borde de transporte y equilibrio térmico.

4.3.2 Preparación de test en línea: puntos de prueba para alimentación, I²C, entradas y control de latch; y opción de test RF vía u.FL (potencia/sensibilidad).

- Sustitución de transceptor discreto por módulo Murata para reducir variabilidad RF, simplificar test y acelerar certificación.
- Con el ATECC608C se habilita un modelo de seguridad.

4.3.3 Base para actualización segura (firmware firmado) y bloqueo de interfaces de depuración en fabricación (según política de producción).

Acciones clave: sleep profundo del SoC LoRa, duty-cycling de radio, wake-up por RTC/entradas, y energización bajo demanda del ATECC608C y del divisor de medida de baterías. En validación de ingeniería se observaron corrientes de reposo en el orden de decenas de μA (dependiendo de sensores y pull-ups activos), con picos durante transmisión LoRa; el esquema de EV biestable evitó consumos sostenidos al actuar la válvula, mejorando la autonomía global.

4.3.4 Eficiencia energética (resultados)

Acciones clave: modos sleep profundos, duty-cycling del LoRa, wake-up y medición bajo demanda. En piloto se obtuvieron consumos en reposo del orden de 3–8 μA (según periféricos), con picos controlados durante transmisión.

5. Resumen y conclusiones

SMARTPCB ha consolidado una metodología de rediseño de PCBs orientada a fabricación SMT, eficiencia energética y ciberseguridad, demostrada en tres casos de uso representativos. La estrategia de centrarse en rediseños ha permitido generar impacto industrial rápido y un marco transferible a futuros productos.

Recomendaciones de continuidad:

- Institucionalizar un checklist DFM/DFA + ciberseguridad como requisito de producción.
- Adoptar un 'BOM' con reglas de consolidación y alternativas aprobadas.
- Extender el uso de secure element en toda la familia de productos IoT.
- Implementar un cuadro de mando de KPIs en línea (retrabajo, tiempo de ciclo, consumo) por versión.

Principales palancas de ahorro: reducción de tiempo de ciclo y de setup, menor retrabajo, reducción de scrap y menores incidencias en ensamblaje final.

Palanca	Mecanismo	Efecto típico	Observaciones
BOM racionalizada	Menos referencias únicas, multisource	-2% a -8% coste material	Depende del mix y volúmenes.
Panelización optimizada	Más tarjetas/panel, menos manipulación	-5% a -15% coste SMT	Impacto directo en throughput.
Reducción retrabajo	Menos defectos y menos horas de reparación	-10% a -30% coste de no calidad	Depende de FPY inicial.
Módulos certificados	Menos test RF y menos fallos de integración	-tiempo de ingeniería / riesgo	Coste unitario puede subir, pero baja riesgo.

AIDIMME

Instituto Tecnológico

Domicilio fiscal —

C/ Benjamín Franklin 13. (Parque Tecnológico)
46980 Paterna. Valencia (España)
Tlf. 961 366 070 | Fax 961 366 185

Domicilio social —

Leonardo Da Vinci, 38 (Parque Tecnológico)
46980 Paterna. Valencia (España)
Tlf. 961 318 559 - Fax 960 915 446

aidimme@aidimme.es
www.aidimme.es